



IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

IN RE APPLICATION OF: Shinichiro SHIRATAKE, et al.

GAU:

SERIAL NO: 10/803,935

EXAMINER:

FILED: March 19, 2004

FOR: SEMICONDUCTOR INTEGRATED CIRCUIT DEVICE AND OPERATION METHOD THEREFOR

REQUEST FOR PRIORITY

COMMISSIONER FOR PATENTS  
ALEXANDRIA, VIRGINIA 22313

SIR:

- ☐ Full benefit of the filing date of U.S. Application Serial Number , filed , is claimed pursuant to the provisions of 35 U.S.C. §120.
- ☐ Full benefit of the filing date(s) of U.S. Provisional Application(s) is claimed pursuant to the provisions of 35 U.S.C. §119(e): Application No. Date Filed
- ☒ Applicants claim any right to priority from any earlier filed applications to which they may be entitled pursuant to the provisions of 35 U.S.C. §119, as noted below.

In the matter of the above-identified application for patent, notice is hereby given that the applicants claim as priority:

<u>COUNTRY</u>	<u>APPLICATION NUMBER</u>	<u>MONTH/DAY/YEAR</u>
JAPAN	2003-321130	September 12, 2003

Certified copies of the corresponding Convention Application(s)

- ☒ are submitted herewith
- ☐ will be submitted prior to payment of the Final Fee
- ☐ were filed in prior application Serial No. filed
- ☐ were submitted to the International Bureau in PCT Application Number  
Receipt of the certified copies by the International Bureau in a timely manner under PCT Rule 17.1(a) has been acknowledged as evidenced by the attached PCT/IB/304.
- ☐ (A) Application Serial No.(s) were filed in prior application Serial No. filed ; and
- ☐ (B) Application Serial No.(s)
- ☐ are submitted herewith
- ☐ will be submitted prior to payment of the Final Fee

Respectfully Submitted,

OBLON, SPIVAK, McCLELLAND,  
MAIER & NEUSTADT, P.C.

Marvin J. Spivak

Registration No. 24,913

Customer Number

22850

Tel. (703) 413-3000  
Fax. (703) 413-2220  
(OSMMN 05/03)

Paul Sacher  
Registration No. 43,418

BEST AVAILABLE COPY

0380761  
10/803,935

日 本 国 特 許 庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されて  
いる事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed  
with this Office.

出 願 年 月 日                      2 0 0 3 年    9 月 1 2 日  
Date of Application:

出 願 番 号                      特 願 2 0 0 3 - 3 2 1 1 3 0  
Application Number:  
[ST. 10/C]:                      [ J P 2 0 0 3 - 3 2 1 1 3 0 ]

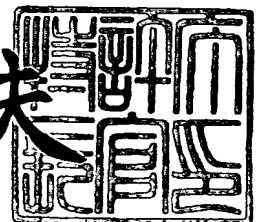
願                      人                      株式会社東芝  
Applicant(s):

CERTIFIED COPY OF  
PRIORITY DOCUMENT

2 0 0 4 年    3 月 2 3 日

特許庁長官  
Commissioner,  
Japan Patent Office

今 井 康 夫



出証番号    出証特 2 0 0 4 - 3 0 2 3 6 9 3

【書類名】 特許願  
【整理番号】 A000302802  
【提出日】 平成15年 9月12日  
【あて先】 特許庁長官 殿  
【国際特許分類】 G11C 11/22  
【発明者】  
    【住所又は居所】 神奈川県川崎市幸区小向東芝町 1 番地 株式会社東芝マイクロエ  
                                レクトロニクスセンター内  
    【氏名】 白武 慎一郎  
【発明者】  
    【住所又は居所】 神奈川県川崎市幸区小向東芝町 1 番地 株式会社東芝マイクロエ  
                                レクトロニクスセンター内  
    【氏名】 荻原 隆  
【特許出願人】  
    【識別番号】 000003078  
    【氏名又は名称】 株式会社 東芝  
【代理人】  
    【識別番号】 100058479  
    【弁理士】  
    【氏名又は名称】 鈴江 武彦  
    【電話番号】 03-3502-3181  
【選任した代理人】  
    【識別番号】 100091351  
    【弁理士】  
    【氏名又は名称】 河野 哲  
【選任した代理人】  
    【識別番号】 100088683  
    【弁理士】  
    【氏名又は名称】 中村 誠  
【選任した代理人】  
    【識別番号】 100108855  
    【弁理士】  
    【氏名又は名称】 蔵田 昌俊  
【選任した代理人】  
    【識別番号】 100084618  
    【弁理士】  
    【氏名又は名称】 村松 貞男  
【選任した代理人】  
    【識別番号】 100092196  
    【弁理士】  
    【氏名又は名称】 橋本 良郎  
【手数料の表示】  
    【予納台帳番号】 011567  
    【納付金額】 21,000円  
【提出物件の目録】  
    【物件名】 特許請求の範囲 1  
    【物件名】 明細書 1  
    【物件名】 図面 1  
    【物件名】 要約書 1

**【書類名】 特許請求の範囲****【請求項 1】**

セルトランジスタ (T) のソース〜ドレイン間にキャパシタ (C) の両端をそれぞれ接続し、これをユニットセルとし、このユニットセルを複数直列に接続した TC 並列ユニット直列接続型強誘電体メモリを有する半導体集積回路装置であって、

第 1 ビット線、及び第 2 ビット線と、

第 1 プレート線、及び第 2 プレート線と、

前記直列に接続された複数のユニットセルを含み、一方の端子を、第 1 選択トランジスタを介して前記第 1 ビット線に接続し、他方の端子を前記第 1 プレート線に接続した第 1 TC 並列ユニット直列接続構造と、

前記直列に接続された複数のユニットセルを含み、一方の端子を、第 2 選択トランジスタを介して前記第 2 ビット線に接続し、他方の端子を前記第 2 プレート線に接続した第 2 TC 並列ユニット直列接続構造と、

前記第 1 TC 並列ユニット直列接続構造に含まれたセルトランジスタのゲート、及び前記第 2 TC 並列ユニット直列接続構造に含まれたセルトランジスタのゲートに接続されるワード線と、

待機状態において、前記第 1、第 2 プレート線の電位をそれぞれ第 1 電位に制御し、

活性状態において、前記第 1 TC 並列ユニット直列接続構造に含まれたユニットセルが選択されたとき、前記第 1 プレート線の電位を前記第 1 電位から第 2 電位に制御し、前記第 2 プレート線の電位を前記第 1 電位から第 3 電位に制御するプレート線電位制御回路と

、  
前記選択されたユニットセルのキャパシタから電荷が前記第 1 ビット線に転送された後、前記第 2 ビット線の電位を前記第 3 電位に制御するビット線電位制御回路と

を具備することを特徴とする半導体集積回路装置。

**【請求項 2】**

前記プレート線電位制御回路は、前記第 1 プレート線の電位を前記第 2 電位に制御した後、前記第 3 電位に制御することを特徴とする請求項 1 に記載の半導体集積回路装置。

**【請求項 3】**

前記第 1、第 2 プレート線以外のプレート線は、前記活性状態において、前記第 1 電位を維持することを特徴とする請求項 1 に記載の半導体集積回路装置。

**【請求項 4】**

前記ビット線電位制御回路は、前記選択されたユニットセルのキャパシタから電荷が前記第 1 ビット線に転送された後、前記第 1 ビット線の電位を前記第 3 電位に制御することを特徴とする請求項 1 に記載の半導体集積回路装置。

**【請求項 5】**

前記第 1 ビット線に転送された電荷を信号とし、前記第 2 ビット線を相補ビット線として、前記信号を増幅する増幅器を、さらに具備することを特徴とする請求項 1 に記載の半導体集積回路装置。

**【請求項 6】**

前記増幅器を前記第 1、第 2 ビット線から電氣的に切断するスイッチを、さらに具備することを特徴とする請求項 5 に記載の半導体集積回路装置。

**【請求項 7】**

前記スイッチは、前記第 2 ビット線の電位を前記第 3 電位に制御する際、前記増幅器を前記第 2 ビット線から電氣的に切断することを特徴とする請求項 6 に記載の半導体集積回路装置。

**【請求項 8】**

前記スイッチは、前記第 2 ビット線の電位を前記第 3 電位に制御する際、前記増幅器を前記第 1、第 2 ビット線から電氣的に切断することを特徴とする請求項 6 に記載の半導体集積回路装置。

**【請求項 9】**

前記増幅器は、前記第 1、第 2 ビット線と、これら第 1、第 2 ビット線とは異なる第 3、第 4 ビット線とで共有されていることを特徴とする請求項 5 に記載の半導体集積回路装置。

【請求項 10】

前記第 3、第 4 ビット線は、前記第 1、第 2 ビット線が配置されるメモリセルアレイとは異なるメモリセルアレイに配置されていることを特徴とする請求項 9 に記載の半導体集積回路装置。

【請求項 11】

前記第 1、第 3 ビット線は前記増幅器の一端に電氣的に接続され、前記第 2、第 4 ビット線は前記増幅器の他端に電氣的に接続されていることを特徴とする請求項 10 に記載の半導体集積回路装置。

【請求項 12】

前記選択されたユニットセルのキャパシタから電荷が前記第 1 ビット線に転送された後、前記増幅器から前記第 2 ビット線を電氣的に切断し、前記第 4 ビット線を前記増幅器に電氣的に接続することを特徴とする請求項 11 に記載の半導体集積回路装置。

【請求項 13】

セルトランジスタ (T) のソース～ドレイン間にキャパシタ (C) の両端をそれぞれ接続し、これをユニットセルとし、このユニットセルを複数直列に接続した TC 並列ユニット直列接続型強誘電体メモリを有する半導体集積回路装置の動作方法であって、

第 1 ビット線、及び第 2 ビット線と、

第 1 プレート線、及び第 2 プレート線と、

前記直列に接続された複数のユニットセルを含み、一方の端子を、第 1 選択トランジスタを介して前記第 1 ビット線に接続し、他方の端子を前記第 1 プレート線に接続した第 1 TC 並列ユニット直列接続構造と、

前記直列に接続された複数のユニットセルを含み、一方の端子を、第 2 選択トランジスタを介して前記第 2 ビット線に接続し、他方の端子を前記第 2 プレート線に接続した第 2 TC 並列ユニット直列接続構造と、

前記第 1 TC 並列ユニット直列接続構造に含まれたセルトランジスタのゲート、及び前記第 2 TC 並列ユニット直列接続構造に含まれたセルトランジスタのゲートに接続されるワード線とを有し、

待機状態において、前記第 1、第 2 プレート線の電位をそれぞれ第 1 電位に制御し、

活性状態において、前記第 1 TC 並列ユニット直列接続構造に含まれたユニットセルが選択されたとき、前記第 1 プレート線の電位を前記第 1 電位から第 2 電位に制御し、前記第 2 プレート線の電位を前記第 1 電位から第 3 電位に制御し、

前記選択されたユニットセルのキャパシタから電荷が前記第 1 ビット線に転送された後、前記第 2 ビット線の電位を前記第 3 電位に制御することを特徴とする半導体集積回路装置の動作方法。

【請求項 14】

前記第 1 プレート線の電位を前記第 2 電位に制御した後、前記第 3 電位に制御することを特徴とする請求項 13 に記載の半導体集積回路装置の動作方法。

【請求項 15】

前記第 1、第 2 ビット線が配置されるメモリセルアレイとは異なるメモリセルアレイに配置された第 3、第 4 ビット線と、

一端、及び他端を有し、前記第 1、第 3 ビット線を一端に電氣的に接続し、前記第 2、第 4 ビット線を他端に電氣的に接続した前記第 1、第 2、第 3、第 4 ビット線で共有された増幅器とを具備し、

前記選択されたユニットセルのキャパシタから電荷が前記第 1 ビット線に転送された後、前記増幅器から前記第 2 ビット線を電氣的に切断し、前記第 4 ビット線を前記増幅器に電氣的に接続することを特徴とする請求項 13 に記載の半導体集積回路装置の動作方法。

## 【書類名】明細書

## 【発明の名称】半導体集積回路装置およびその動作方法

## 【技術分野】

## 【0001】

この発明は半導体集積回路装置に係わり、特に強誘電体メモリを有した半導体集積回路装置のデータ破壊の抑制に関する。

## 【背景技術】

## 【0002】

強誘電体キャパシタは、その両端に電圧をかけることによって分極状態が変化する。強誘電体メモリは、強誘電体キャパシタに一定の電圧をかけることにより、分極状態が変化する際にキャパシタから放出される電荷を、信号として読み出すメモリである。例えば、負の信号が蓄えられている強誘電体に、正の電圧をかけた場合、分極が反転するためにキャパシタから多くの電荷が読み出される。一方、キャパシタに電圧をかけなければ分極状態が変化しない。ノイズ等によって強誘電体キャパシタに予期しない電圧がかかるとデータが破壊されるため、強誘電体メモリにおいては、アクセスされていないメモリセルキャパシタに電圧ノイズがかかることを極力防ぐ必要がある。

## 【0003】

図19に、強誘電体メモリの一例を示す。

## 【0004】

この強誘電体メモリは、セルトランジスタ(T)のソース・ドレイン間にキャパシタ(C)の両端をそれぞれ接続し、これをユニットセルとし、このユニットセルを複数直列に接続している。このような強誘電体メモリを、本明細書では、「TC並列ユニット直列接続型強誘電体メモリ」と呼ぶ。

## 【0005】

TC並列ユニット直列接続型強誘電体メモリは、待機状態においてワード線WL0～WL3が全て“HIGH”電位に固定されており、強誘電体キャパシタの両端がショートされている。これにより、待機状態におけるメモリセルキャパシタに対する電圧の印加が完全に抑制されている。

## 【0006】

図20に、直列に接続されたメモリセルのうちの1つがアクセスされた場合、即ち活性状態を示す。ここでは、ワード線WL0が選択され、WL0＝“LOW”レベルとなっている。さらに、ブロック選択線BS1が活性化されてBS1＝“HIGH”レベルとなっている。プレート線PLの電位は待機時にはPL＝V<sub>PLL</sub>に固定されており、メモリセルがアクセスされるとPL＝V<sub>INT</sub>になり、プレート線PLが活性化される。ここでV<sub>PLL</sub>は、代表的には0V、V<sub>INT</sub>は2.5Vである。このとき、ワード線WL0＝“LOW”レベルとなっているため、トランジスタT00が遮断されており、メモリセルキャパシタC00の両端に電圧がかかり、保存されているデータに応じた電荷がビット線BLに転送される。別のプレート線/PLは活性化されず、/PL＝V<sub>PLL</sub>の状態に保たれている。また、ブロック選択線BS2も、BS2＝“LOW”レベルに保たれる。よって、ビット線BLに隣接するビット線/BLにはデータが転送されず、ビット線/BLは相補ビット線として使用される。

## 【0007】

ここで、非選択メモリセルであるC10に注目する。非選択のプレート線/PLは非活性のため、電位V<sub>PLL</sub>に固定されている。また、ブロック選択線BS2も非活性のため、C10に対するノードの接続関係は、図21に示す通りになっている。すなわち、C10のキャパシタの一端は、非活性のプレート線/PL＝V<sub>PLL</sub>に接続され、もう一端はそれぞれゲート電位が“LOW”レベルになっている2つの非導通トランジスタT10およびTB2に挟まれた、フローティング状態のノードN2に接続されている。ビット線/BLの電位は、センスアンプによって選択されたメモリセルのデータに応じてV<sub>SS</sub>(＝0V)又はV<sub>INT</sub>に増幅される。ここで、さらに/BL＝V<sub>INT</sub>になっている場合を考

える。非導通トランジスタTB2にはソース・ドレイン間の電位差があるため、ゲート電位が“LOW”レベルであり非導通となっているとはいえ、無限大の抵抗値によって遮断されているわけではなく、ソース・ドレイン間に有限のサブスレショルド電流が流れる。ここでノードN2がフローティング状態のため、サブスレショルド電流によってノードN2の電位が変化してしまう。特にチップの活性化時間が長くなると、ノードN2の電位が変化、例えば、100mV以上変化することが予想され、これによってキャパシタC10に電圧がかかってしまい、データが破壊されることが懸念される。

#### 【0008】

これに対してビット線の電位を、メモリセルのデータによらず、一度に0Vに放電する方法が提案されている（例えば、特許文献1参照）。これによると、図21において、フローティング状態のノードN2を挟む2つのトランジスタそれぞれのソース・ドレインの他端の電位が、電位VPLLと放電されたビット線電位0Vなので、VPLL=0Vであれば上記のような問題は発生しない。

#### 【0009】

しかしながら、プレート線の待機電圧VPLLを0V以外の値に設定する方法も提案されている（例えば、特許文献2参照）。そのような強誘電体メモリに対しては、長時間チップを活性化することが困難である。

【特許文献1】特開2000-339973

【特許文献2】米国特許第6,493,251号明細書

#### 【発明の開示】

#### 【発明が解決しようとする課題】

#### 【0010】

この発明は、上記の事情に鑑み為されたもので、その目的は、長時間チップを活性化させても、データの破壊を抑制できる強誘電体メモリを有した半導体集積回路装置およびその動作方法を提供することにある。

#### 【課題を解決するための手段】

#### 【0011】

上記目的を達成するために、この発明の第1態様に係る半導体集積回路装置は、セルトランジスタ(T)のソース〜ドレイン間にキャパシタ(C)の両端をそれぞれ接続し、これをユニットセルとし、このユニットセルを複数直列に接続したTC並列ユニット直列接続型強誘電体メモリを有する半導体集積回路装置であって、第1ビット線、及び第2ビット線と、第1プレート線、及び第2プレート線と、前記直列に接続された複数のユニットセルを含み、一方の端子を、第1選択トランジスタを介して前記第1ビット線に接続し、他方の端子を前記第1プレート線に接続した第1TC並列ユニット直列接続構造と、前記直列に接続された複数のユニットセルを含み、一方の端子を、第2選択トランジスタを介して前記第2ビット線に接続し、他方の端子を前記第2プレート線に接続した第2TC並列ユニット直列接続構造と、前記第1TC並列ユニット直列接続構造に含まれたセルトランジスタのゲート、及び前記第2TC並列ユニット直列接続構造に含まれたセルトランジスタのゲートに接続されるワード線と、待機状態において、前記第1、第2プレート線の電位をそれぞれ第1電位に制御し、活性状態において、前記第1TC並列ユニット直列接続構造に含まれたユニットセルが選択されたとき、前記第1プレート線の電位を前記第1電位から第2電位に制御し、前記第2プレート線の電位を前記第1電位から第3電位に制御するプレート線電位制御回路と、前記選択されたユニットセルのキャパシタから電荷が前記第1ビット線に転送された後、前記第2ビット線の電位を前記第3電位に制御するビット線電位制御回路とを具備することを特徴としている。

#### 【0012】

また、この発明の第2態様に係る半導体集積回路装置の動作方法は、セルトランジスタ(T)のソース〜ドレイン間にキャパシタ(C)の両端をそれぞれ接続し、これをユニットセルとし、このユニットセルを複数直列に接続したTC並列ユニット直列接続型強誘電体メモリを有する半導体集積回路装置の動作方法であって、第1ビット線、及び第2ビッ

ト線と、第1プレート線、及び第2プレート線と、前記直列に接続された複数のユニットセルを含み、一方の端子を、第1選択トランジスタを介して前記第1ビット線に接続し、他方の端子を前記第1プレート線に接続した第1TC並列ユニット直列接続構造と、前記直列に接続された複数のユニットセルを含み、一方の端子を、第2選択トランジスタを介して前記第2ビット線に接続し、他方の端子を前記第2プレート線に接続した第2TC並列ユニット直列接続構造と、前記第1TC並列ユニット直列接続構造に含まれたセルトランジスタのゲート、及び前記第2TC並列ユニット直列接続構造に含まれたセルトランジスタのゲートに接続されるワード線とを有し、待機状態において、前記第1、第2プレート線の電位をそれぞれ第1電位に制御し、活性状態において、前記第1TC並列ユニット直列接続構造に含まれたユニットセルが選択されたとき、前記第1プレート線の電位を前記第1電位から第2電位に制御し、前記第2プレート線の電位を前記第1電位から第3電位に制御し、前記選択されたユニットセルのキャパシタから電荷が前記第1ビット線に転送された後、前記第2ビット線の電位を前記第3電位に制御することを特徴としている。

#### 【発明の効果】

##### 【0013】

この発明によれば、長時間チップを活性化させても、データの破壊を抑制できる強誘電体メモリを有した半導体集積回路装置およびその動作方法を提供できる。

#### 【発明を実施するための最良の形態】

##### 【0014】

以下、この発明の実施形態のいくつかを、図面を参照して説明する。この説明に際し、全図にわたり、共通する部分には共通する参照符号を付す。

##### 【0015】

##### (第1実施形態)

図1はこの発明の第1実施形態に係る半導体集積回路装置の一構成例を示すブロック図、図2はその一回路例を示す回路図、図3はその一動作例を示す動作波形図である。

##### 【0016】

図1、図2に示すように、第1実施形態に係る半導体集積回路装置は、セルトランジスタ(T)のソース〜ドレイン間にキャパシタ(C)の両端をそれぞれ接続し、これをユニットセルとし、このユニットセルを複数直列に接続した「TC並列ユニット直列接続型強誘電体メモリ」を有する。

##### 【0017】

TC並列ユニット直列接続構造1は、直列に接続された複数のユニットセルを含む。TC並列ユニット直列接続構造1の、一方の端子は、選択トランジスタTBを介してビット線BL(もしくは/B L)に接続され、他方の端子は、プレート線PL(もしくは/P L)に接続されている。

##### 【0018】

プレート線PL、/P Lにはプレート線電位が供給され、プレート線電位はプレート線電位制御回路3によって制御される。同様に、ビット線BL、/B Lにはビット線電位が供給され、ビット線電位はビット線電位制御回路4によって制御される。例えば、図2に示すように、本例では、選択されたワード線WL0に接続された非選択メモリセルの強誘電体キャパシタC10に接続されるプレート線/P L1の電位が、V P L Lではなく、V S S、例えば、0 Vに放電されている。なお、図2には示されていないが、選択されるワード線が接続されていないメモリセルに接続されるプレート線P L2、/P L2の電位は、例えば、V P L Lのままである。

##### 【0019】

さらに、アクセスされたメモリセルの強誘電体キャパシタC00のデータがビット線BLに転送され、センスアンプS/Aによって増幅された後、ビット線BLおよび相補ビット線/B Lの電位はV S S(例えば、0 V)に放電される。このため、ビット線BL、相補ビット線/B Lと、センスアンプS/Aとを接続するトランジスタ5を、制御信号P Tによって遮断し、センスアンプS/Aにデータをラッチする一方、ビット線BL、相補ビッ



ト線/B Lの電位を、ビット線電位制御回路制御信号E Qによって制御されるトランジスタを使ってV S Sに放電する。

#### 【0020】

ここで、非選択メモリセルのキャパシタC 1 0に対する電位関係を、図4に示す。キャパシタC 1 0の一端は、非活性のプレート線/P L 1に接続されているが、プレート線/P L 1は、本第1実施形態においては0 V (V S S)に放電されている。また、キャパシタC 1 0の他端は、ノードN 2に接続されている。ノードN 2は、トランジスタT 1 0、及びT B 2に挟まれたノードである。ノードN 2は、トランジスタT 1 0、及びT B 2それぞれのゲート電位が“LOW”レベルであり、それぞれ非導通状態になっているとき、電気的にフローティング状態にある。本実施形態では、ビット線/B Lの電位は0 Vに放電されている。このため、もし、トランジスタT B 2にサブスレショルドリーク電流が流れるとしても、フローティング状態にあるノードN 2の電位は0 Vとなるだけである。すなわち、キャパシタC 1 0の両端にはそれぞれ0 Vが印加されることになり、キャパシタC 1 0には、電圧が実質的にかからない。従って、非選択メモリセルのキャパシタC 1 0には、チップの長時間の活性化によるデータの破壊が起こり難くなる。

#### 【0021】

なお、本例において、データ“0”の再書き込み(リストア)は、例えば、ビット線B Lの電位がV S S、プレート線P Lの電位がV I N Tの状態を得ることで為される。本例では、データ“0”が読み出され、ビット線B Lの電位がV S Sに低下した状態のとき、データ“0”が再書き込みされる。

#### 【0022】

また、データ“1”の再書き込みは、例えば、ビット線B Lの電位がV I N T、プレート線P Lの電位がV S Sの状態を得ることで為される。本実施形態では、データ“1”を再書き込みする際には、制御信号E Qを再度非活性化、及び制御信号P Tを再度活性化してビット線B LとセンスアンプS/Aを接続する。データ“1”が読み出されていた場合、データ“1”がビット線B Lに再転送される。この状態で、プレート線P Lの電位をV I N TからV S Sに低下させる。これにより、データ“1”が再書き込みされる。

#### 【0023】

図5はプレート線P Lの電位を制御するプレート線電位制御回路3の一回路例を示す回路図、図6及び図7はその一動作例を示す動作波形図である。

#### 【0024】

本第1実施形態に係る半導体集積回路装置では、プレート線P Lの電位が下記3つの値のいずれかをとる。

#### 【0025】

1. V I N T
2. V S S (= 0 V)
3. V P L L (V I N T > V P L L > V S S)

〔待機状態〕

待機状態では、信号S T B Y、S T B Y' はそれぞれ“HIGH”レベルとなり、プレート線P L、/P Lの電位はともに電位V P L Lに制御される。

#### 【0026】

〔活性状態(読み出し/再書き込み動作)〕

プレート線P Lが選択、プレート線/P Lが非選択と仮定する。

#### 【0027】

信号S T B Y、S T B Y' はそれぞれ“LOW”レベルとなり、プレート線P L、/P Lの電位は、信号P L L、P L L'、/P L H、/P L H'によって制御される。

#### 【0028】

信号P L Lは“LOW”レベルを維持、信号/P L Hは“HIGH”レベルから“LOW”レベルに遷移する。これにより、選択されたプレート線P Lの電位は、電位V I N Tに制御される。

## 【0029】

一方、信号 P L L' は“LOW”レベルから“HIGH”レベルに遷移、信号/P L H' は“HIGH”レベルを維持する。これにより、選択されていないプレート線/P L の電位は、電位 V S S に制御される。

## 【0030】

読み出し/再書き込み動作の後半、信号 P L L は“LOW”レベルから“HIGH”レベルに遷移、信号/P L H は“LOW”レベルから“HIGH”レベルに遷移する。これにより、選択されたプレート線 P L の電位は、電位 V S S に制御される。この間、選択されていないプレート線/P L の電位は、引き続き電位 V S S に制御される。

## 【0031】

読み出し/再書き込み動作終了後、信号 P L L、/P L H、P L L'、/P L H' は、それぞれ“LOW”、“HIGH”、“LOW”、“HIGH”となる。そして、信号 S T B Y、S T B Y' はそれぞれ“HIGH”レベルとなって、待機状態に戻る。

## 【0032】

## (第2実施形態)

本第2実施形態は、第1実施形態に係る半導体集積回路装置に、計時回路を設け、チップの活性化時間に応じて、非選択メモリセルのキャパシタ両端の電位差を軽減する動作、例えば、同電位にする動作を行うようにしたものである。

## 【0033】

図8はこの発明の第2実施形態に係る半導体集積回路装置が具備する放電制御回路の一回路例を示す回路図である。

## 【0034】

図8に示す一回路例に係る制御回路は、活性化信号 active が長時間与えられた場合に、第1実施形態と同様に、ビット線 B L、/B L を放電する回路である。

## 【0035】

チップが活性化されると、活性化信号 active が活性化、例えば、“HIGH”レベルとなり、活性化が終了して再書き込み動作に移行すると、再書き込み信号 restore が活性化、例えば、“HIGH”レベルとなる。活性化信号 active は、タイマー回路 100 に入力される。タイマー回路 100 は、活性化信号 active を遅延させ、信号 long として出力する。本一回路例では、活性化信号 active が活性化してから、タイマー回路 100 の遅延時間以上、再書き込み信号 restore が活性化されないと、信号 D I S が活性化される。信号 D I S が活性化されると、第1実施形態に示した制御信号 P T が“LOW”レベル、制御信号 E Q が“HIGH”レベルとなり、ビット線 B L、/B L が放電される。

## 【0036】

図9及び図11に示す動作波形は、活性化信号 active が活性化してから、再書き込み信号 restore が活性化するまでの時間が比較的短い場合で、図10及び図12に示す動作波形は、反対に比較的長い場合である。

## 【0037】

時間が短い場合には、図9及び図11に示すように、信号 D I S が活性化されず、制御信号 P T は“HIGH”レベルを維持し、ビット線 B L、/B L は放電されない。

## 【0038】

反対に、長い場合には、図10及び図12に示すように、信号 D I S が活性化され、制御信号 P T は“HIGH”レベルから“LOW”レベルに遷移し、図示しないが制御信号 E Q が“HIGH”レベルとなり、ビット線 B L、/B L は放電される。この後、再書き込み信号 restore が活性化されると、信号 D I S が非活性化し、制御信号 P T は“LOW”レベルから“HIGH”レベルに遷移し、第1実施形態に示したセンスアンプ S/A からビット線 B L、/B L にデータが再転送され、例えば、データ“1”が選択されたメモリセルのキャパシタに再書き込みされる。

## 【0039】

本第2実施形態において、信号 D I S を活性化するか否かを切り換える基準時間は、タ

イマー回路100の遅延時間によって決定される。基準時間は、トランジスタのリーク電流、例えば、サブスレショルドリーク電流などのデバイス特性、チップの動作周波数等に応じて固有に、例えば、チップ毎、あるいはメモリセルアレイ毎に決めることができる。基準時間としては、デバイス特性や、動作周波数等に応じて様々な値をとることができるが、1マイクロ秒から100マイクロ秒の間が適当であろう。

#### 【0040】

##### (第3実施形態)

図13はこの発明の第3実施形態に係る半導体集積回路装置の一回路例を示す回路図である。

#### 【0041】

本第3実施形態は、第1実施形態のメモリセルアレイに対する適用の例で、センスアンプの一端側、例えば、左側に配置されたメモリセルアレイLと、センスアンプの他端側、例えば、右側に配置されたメモリセルアレイRとで、センスアンプを共有するシェアードセンスアンプ方式を示している。

#### 【0042】

図13に示すように、本第3実施形態では、第1実施形態における、ビット線BLとセンスアンプS/Aとを切り離す制御信号PTによって制御されるトランジスタを、メモリセルアレイR、LのどちらをセンスアンプS/Aに接続するかを制御する選択トランジスタとしても用いている。

#### 【0043】

図14及び図15は、第3実施形態に係る半導体集積回路装置の動作例を示す動作波形図である。図14及び図15では、メモリセルアレイRに属するメモリセルがアクセスされた場合を示している。メモリセルアレイLのビット線BL L、/BL L (BL 1 L ~ BL 4 L …、/BL 1 L ~ /BL 4 L …) を、センスアンプS/Aに接続する制御信号PT Lは、アクセスが開始されると“LOW”レベルになり、メモリセルアレイLはセンスアンプS/Aから切り離される。一方、メモリセルアレイRのビット線BL R、/BL R (BL 1 R ~ BL 4 R …、/BL 1 R ~ /BL 4 R …) を、センスアンプS/Aに接続する制御信号PT Rは、活性化時間が長い場合(ロングサイクル)、第2実施形態に示した信号DISに基いて“LOW”レベルとなる(図14)。また、活性化時間が短い場合(ショートサイクル)には、制御信号PT Rは“HIGH”レベルのままとなる(図15)。

#### 【0044】

もちろん、本第3実施形態は、第2実施形態に従って制御されるばかりでなく、第1実施形態に従って制御されても良い。

#### 【0045】

##### (第4実施形態)

図16はこの発明の第4実施形態に係る半導体集積回路装置の一構成例を示すブロック図、図17はその一回路例を示す回路図、図18はその一動作例を示す動作波形図である。

#### 【0046】

本第4実施形態は、第3実施形態と同様に、シェアードセンスアンプ方式を用いている。第1実施形態と同様に、本第4実施形態においても、選択されたワード線WL 0に接続された非選択メモリセルのキャパシタC 10に接続されるプレート線/PL 1 Rの電位がVPL Lではなく、VSS、例えば、0Vに放電されている。なお、図17には示されていないが、選択されるワード線が接続されていないメモリセルに接続されるプレート線の電位は、例えば、VPL Lのままである。アクセスされたメモリセルC 00のデータがビット線BL Rに転送され、相補ビット線/BL Rとの電位差をセンスアンプS/Aによって増幅した後、第1実施形態と異なり、相補ビット線/BL Rの電位のみがVSS、例えば、0Vに放電される。このため、相補ビット線/BL RとセンスアンプS/Aとを接続するトランジスタ5-2が制御信号PT 2によって遮断される。一方、センスアンプS/Aに接続されるビット線対の容量を等しく保つために、制御信号PT 3が活性化されてラン

ジスタ5-3がオンし、センスアンプS/Aを挟んだ反対側のビット線/BLRがセンスアンプS/Aに接続される。

【0047】

本第4実施形態においても、第1実施形態と同様に、非選択メモリセルのキャパシタに対する、チップの長時間の活性化によるデータの破壊は起き難い。

【0048】

また、本第4実施形態では、ビット線/BLRをVSSとするためにトランジスタ5-2をオフさせた時、トランジスタ5-3をオンさせる。これにより、センスアンプS/Aの一端がビット線BLRに接続された状態で、その他端がビット線/BLRに代わって/BLRに接続される。これによる利点は、センスアンプS/Aの一端に付加される容量を、その他端に付加される容量とほぼ等しくできることにある。センスアンプS/Aの一端に付加される容量と、その他端に付加される容量とがアンバランスになると、例えば、センス動作の高速化が阻害されたりする。例えば、センスアンプS/Aにラッチした読み出しデータを、反転させる必要が生じた場合、両端の容量がアンバランスであると、データを反転させ難くなり、センス動作の高速化が阻害される。

【0049】

この点、本第4実施形態では、センスアンプS/Aの一端に付加される容量と、その他端に付加される容量とがほぼ等しくできるので、例えば、センスアンプS/Aのセンス動作の高速化に有利である。

【0050】

以上、この発明を第1～第4実施形態により説明したが、この発明は、これら実施形態それぞれに限定されるものではなく、その実施にあたっては、発明の要旨を逸脱しない範囲で種々に変形することが可能である。

【0051】

例えば、第1～第4実施形態により説明した強誘電体メモリは、携帯電話を始めとしたモバイル機器や個人情報カードなど、広範囲の応用可能性が期待される。

【0052】

また、強誘電体メモリ単体だけではなく、ロジック混載などの分野にも広く適用可能である。

【0053】

本発明の利点は、長時間、典型的には10マイクロ秒以上にわたって連続して強誘電体メモリを活性化していても、非選択メモリセルのデータの劣化が防止できることである。この利点は、強誘電体メモリを含むシステム全体の設計を容易にする。このため、特にロジック混載などに最適である。

【0054】

ロジック混載用途においては、論理回路の制御は多くの場合外部クロックによってタイミング制御されるが、例えば、カード製品等の、比較的周波数の低い帯域での応用分野、例えば、1メガヘルツ以下の帯域での応用分野では、1クロックの周期が1マイクロ秒以上となる。このような製品では、データの劣化防止の観点から、例えば、10クロック以上連続して強誘電体メモリを活性化することができず、周期的に強誘電体メモリを非活性にする制御を行わなければならない。第1～第4実施形態に係る強誘電体メモリを、このようなロジック混載用途に用いれば、事実上無制限の長時間、強誘電体メモリを活性化し続けても、非選択メモリセルのデータの劣化が抑制されるため、周期的に強誘電体メモリを非活性にする必要はなく、制御の簡易化と消費電力の減少、ロジック部の計算効率の向上などが実現される。

【0055】

また、上記実施形態はそれぞれ、単独で実施することが可能であるが、適宜組み合わせで実施することも、もちろん可能である。

【0056】

また、上記各実施形態には、種々の段階の発明が含まれており、各実施形態において開

示した複数の構成要件の適宜な組み合わせにより、種々の段階の発明を抽出することも可能である。

【0 0 5 7】

また、上記各実施形態では、この発明を強誘電体メモリに適用した例に基づき説明したが、上述したような強誘電体メモリを内蔵した半導体集積回路装置、例えばプロセッサ、システム L S I 等もまた、この発明の範疇である。

【図面の簡単な説明】

【0 0 5 8】

【図 1】 図 1 はこの発明の第 1 実施形態に係る半導体集積回路装置の一構成例を示すブロック図

【図 2】 図 2 はこの発明の第 1 実施形態に係る半導体集積回路装置の一回路例を示す回路図

【図 3】 図 3 はこの発明の第 1 実施形態に係る半導体集積回路装置の一動作例を示す動作波形図

【図 4】 図 4 は非選択メモリセルのキャパシタの電位関係を示す図

【図 5】 図 5 はプレート線電位制御回路の一回路例を示す回路図

【図 6】 図 6 はプレート線電位制御回路の一動作例を示す動作波形図

【図 7】 図 7 はプレート線電位制御回路の一動作例を示す動作波形図

【図 8】 図 8 はこの発明の第 2 実施形態に係る半導体集積回路装置が具備する放電制御回路の一回路例を示す回路図

【図 9】 図 9 は放電制御回路の一動作例を示す動作波形図

【図 1 0】 図 1 0 は放電制御回路の他動作例を示す動作波形図

【図 1 1】 図 1 1 はこの発明の第 2 実施形態に係る半導体集積回路装置の一動作例を示す動作波形図

【図 1 2】 図 1 2 はこの発明の第 2 実施形態に係る半導体集積回路装置の他動作例を示す動作波形図

【図 1 3】 図 1 3 はこの発明の第 3 実施形態に係る半導体集積回路装置の一回路例を示す回路図

【図 1 4】 図 1 4 はこの発明の第 3 実施形態に係る半導体集積回路装置の一動作例を示す動作波形図

【図 1 5】 図 1 5 はこの発明の第 3 実施形態に係る半導体集積回路装置の他動作例を示す動作波形図

【図 1 6】 図 1 6 はこの発明の第 4 実施形態に係る半導体集積回路装置の一構成例を示すブロック図

【図 1 7】 図 1 7 はこの発明の第 4 実施形態に係る半導体集積回路装置の一回路例を示す回路図

【図 1 8】 図 1 8 はこの発明の第 4 実施形態に係る半導体集積回路装置の一動作例を示す動作波形図

【図 1 9】 図 1 9 は強誘電体メモリの一例を示す回路図（待機状態）

【図 2 0】 図 2 0 は強誘電体メモリの一例を示す回路図（活性状態）

【図 2 1】 図 2 1 は非選択メモリセルのキャパシタの電位関係を示す図

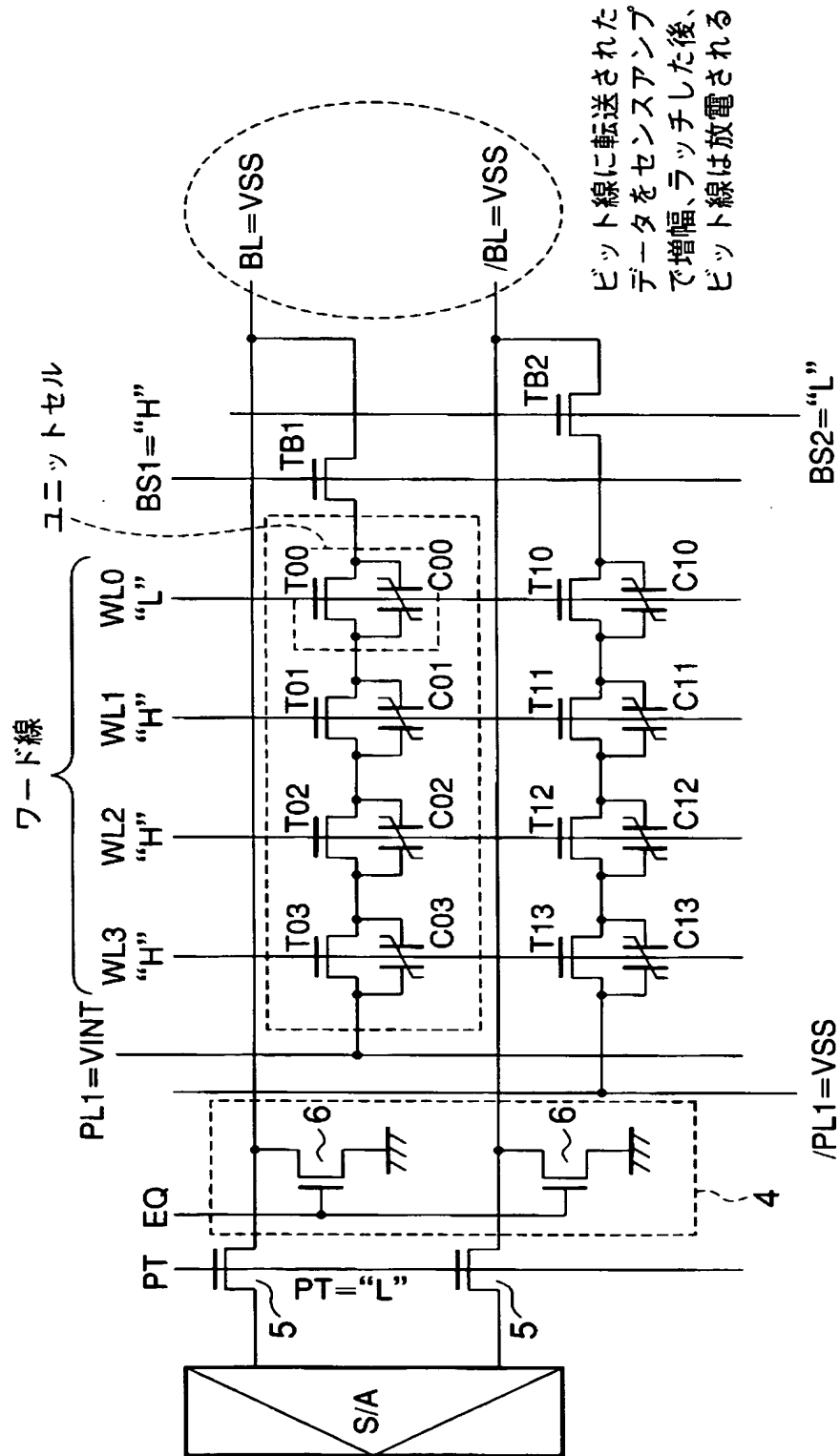
【符号の説明】

【0 0 5 9】

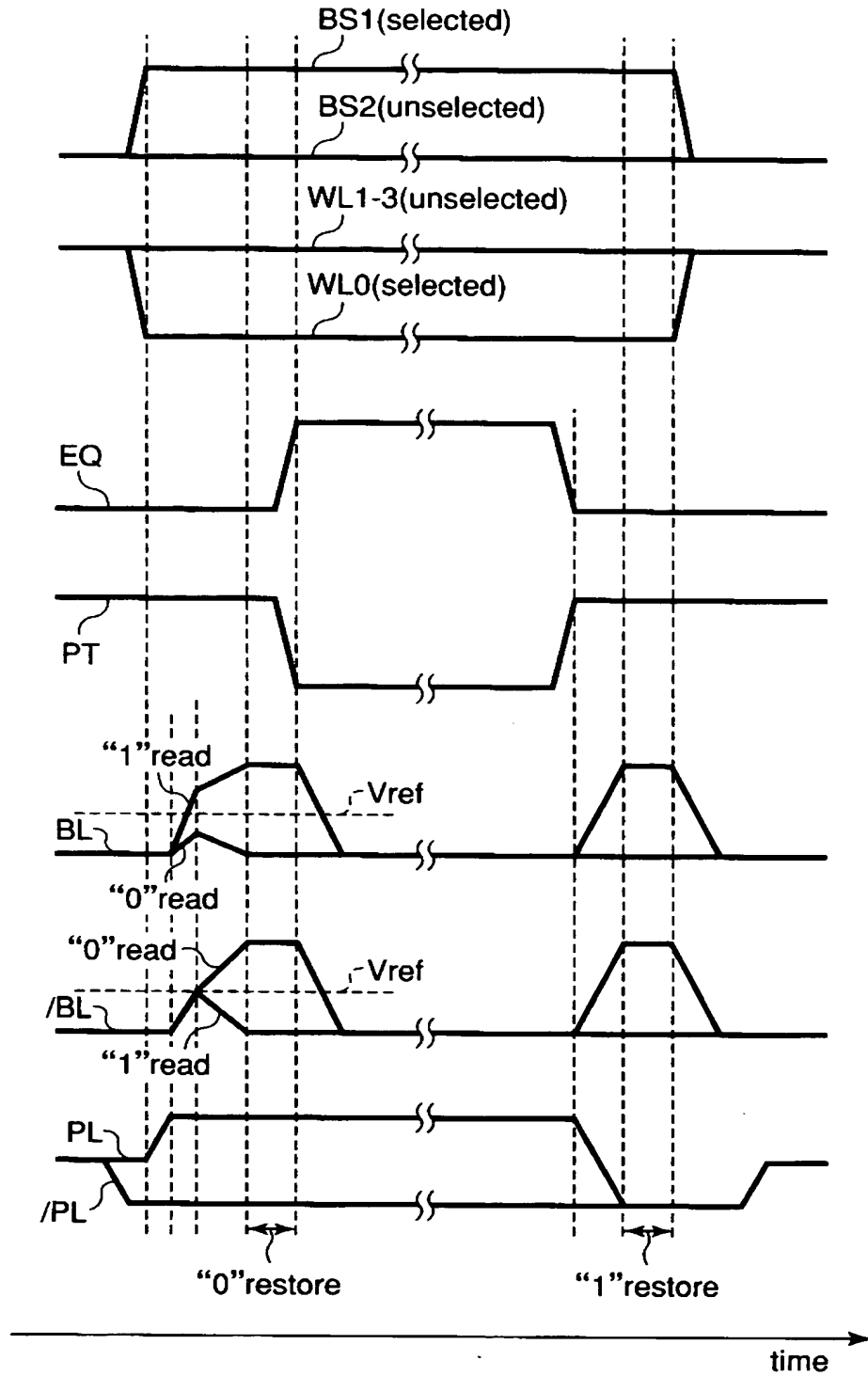
1…TC 並列ユニット直列接続構造、3…プレート線電位制御回路、4…ビット線電位制御回路、5、6…トランジスタ、1 0 0…タイマー回路



【図 2】

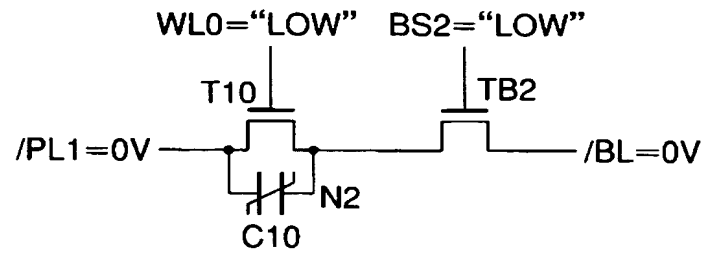


【図 3】

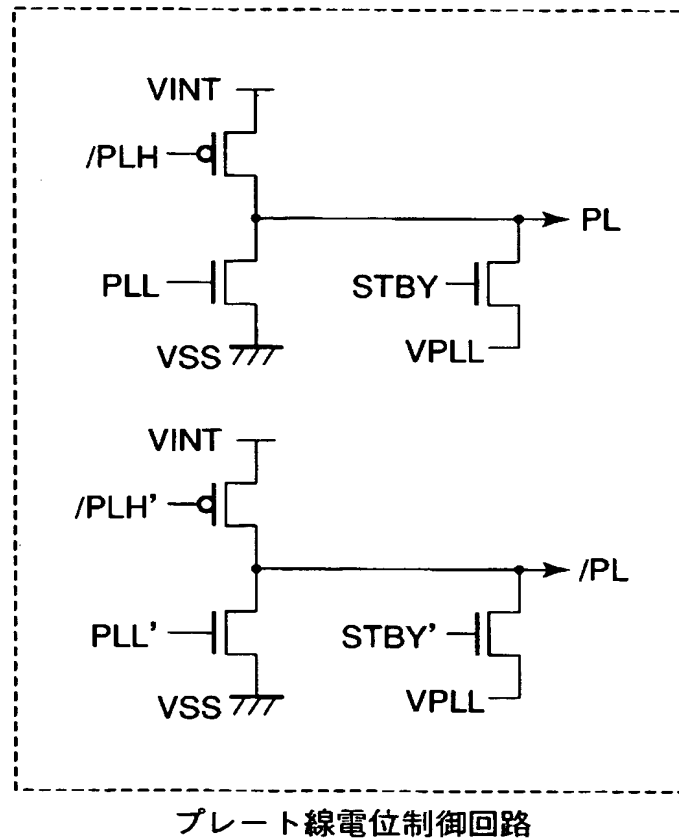




【図 4】

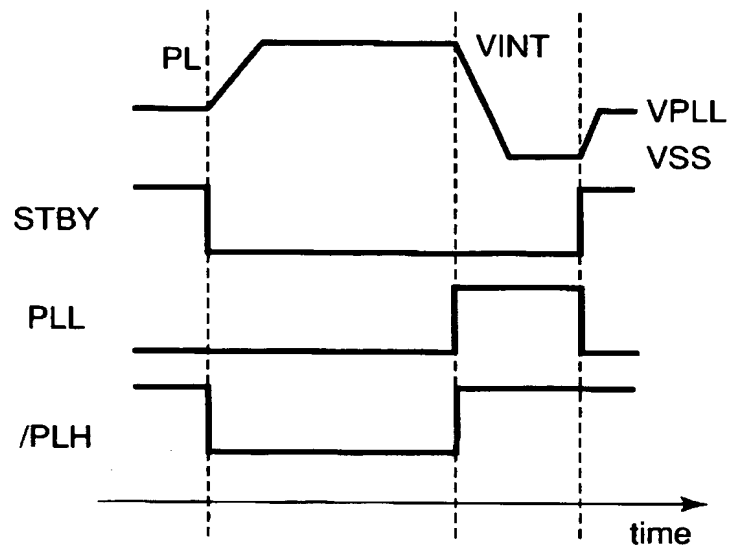


【図 5】

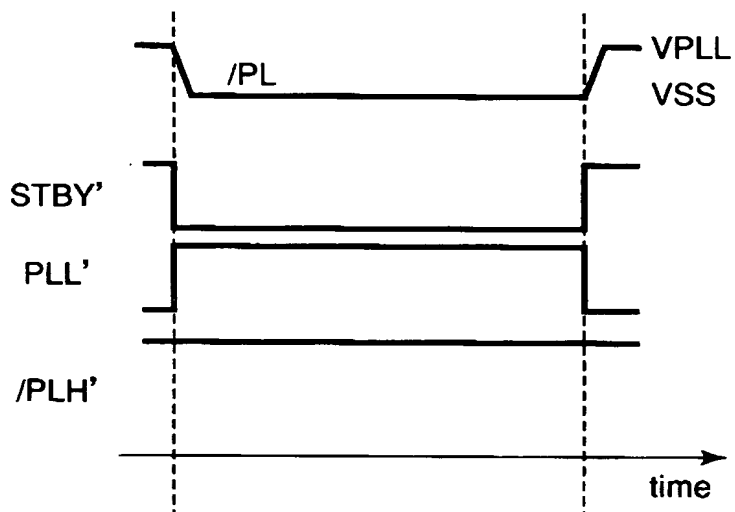


プレート線電位制御回路

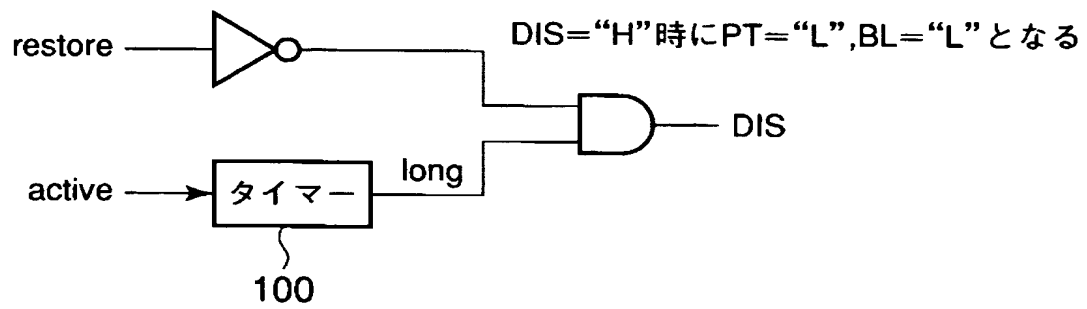
【図 6】



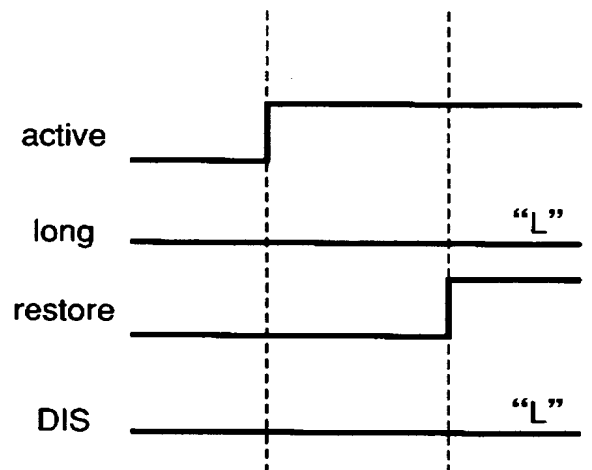
【図 7】



【図 8】

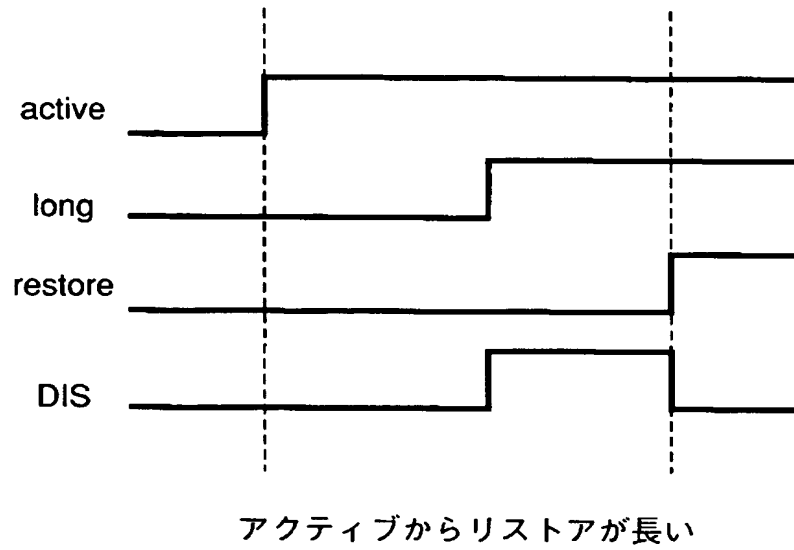


【図 9】

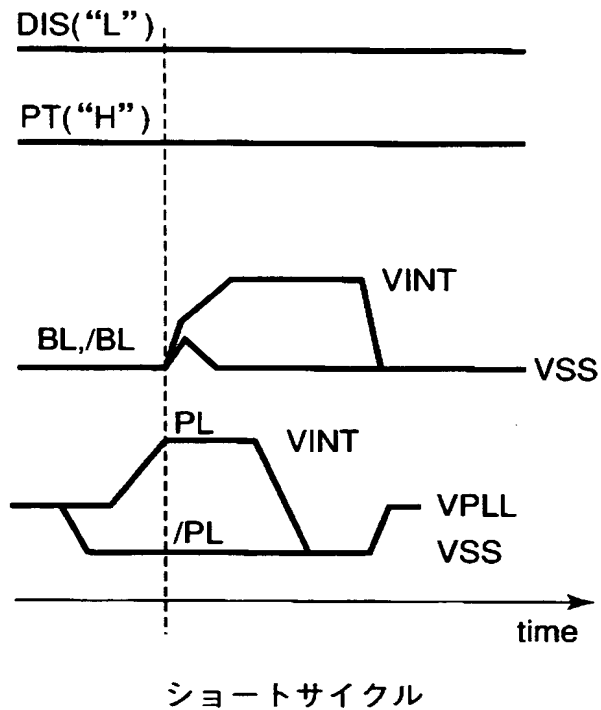


アクティブからリストアが短い

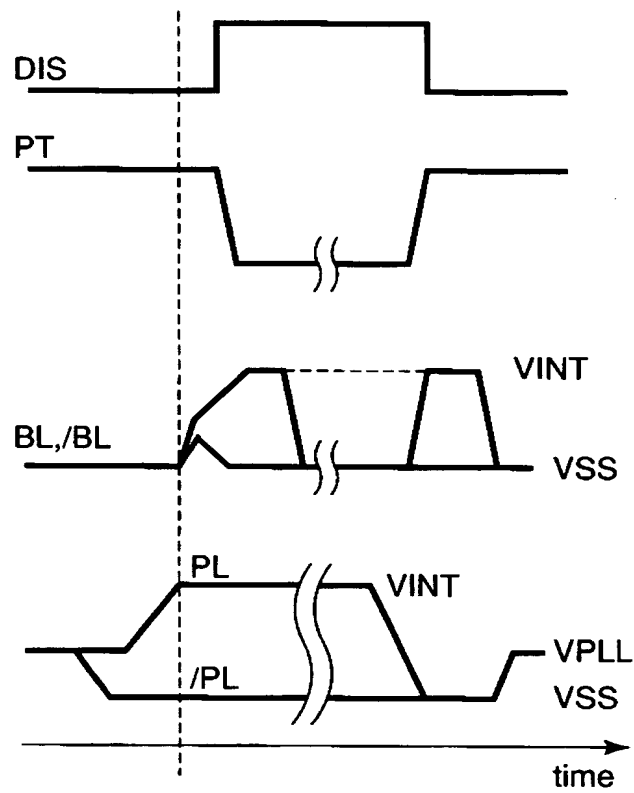
【図 10】



【図 11】

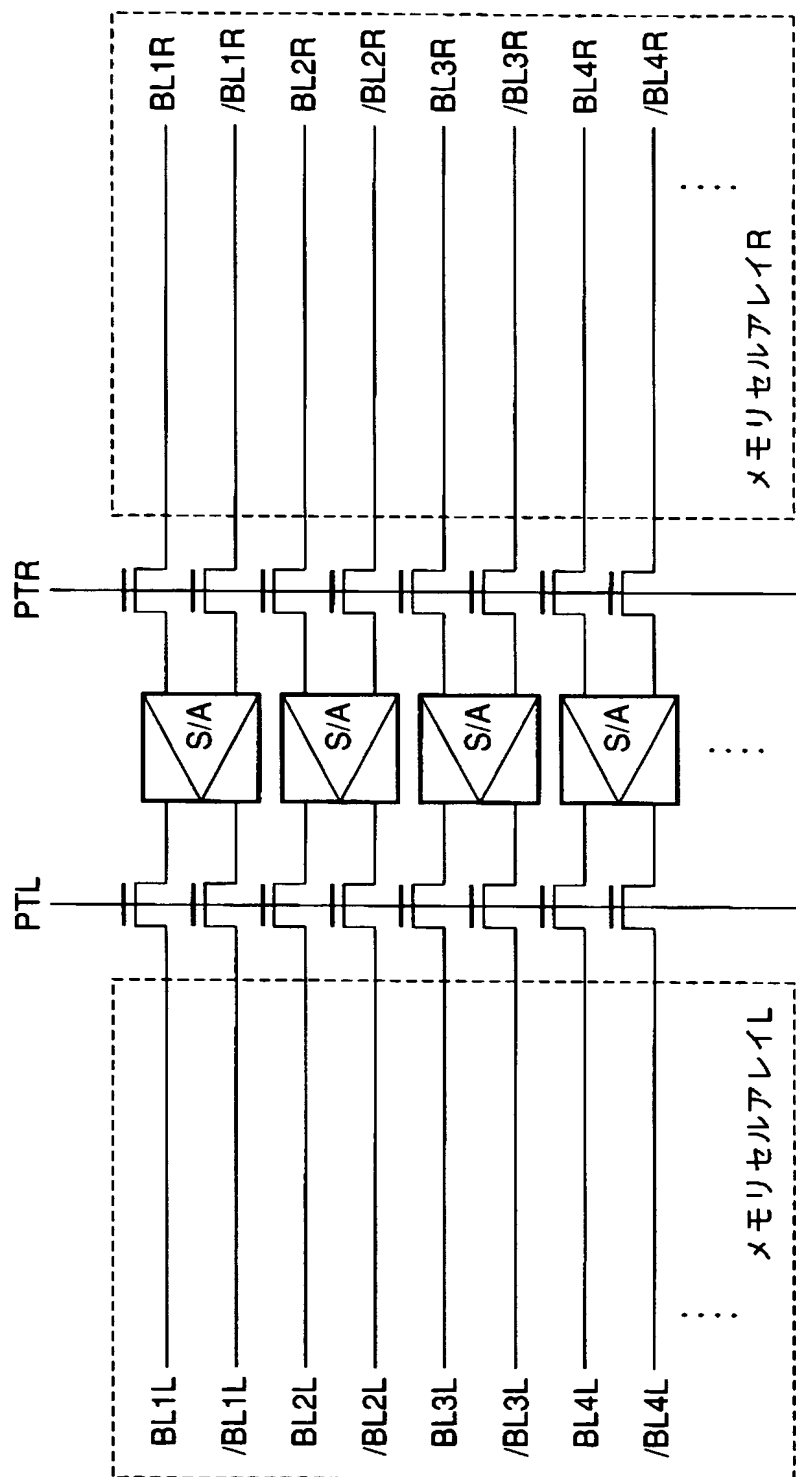


【図 12】

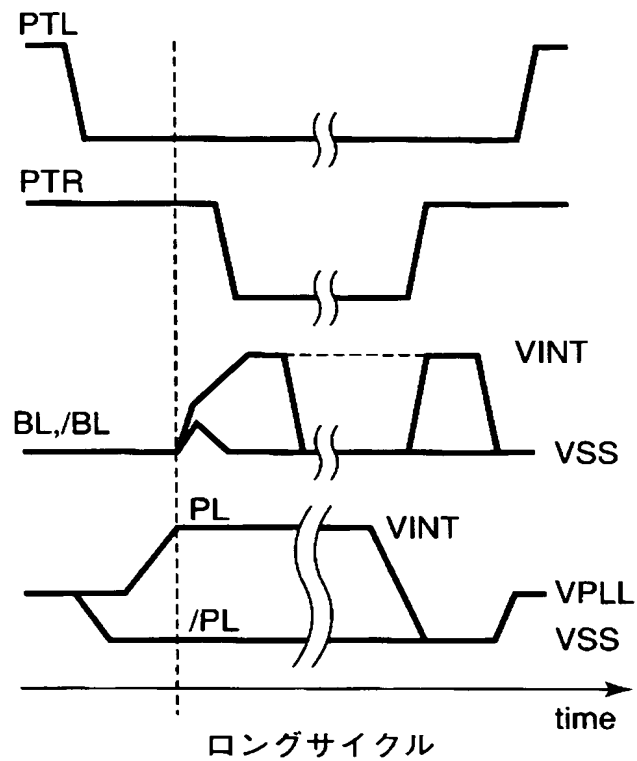


ロングサイクル

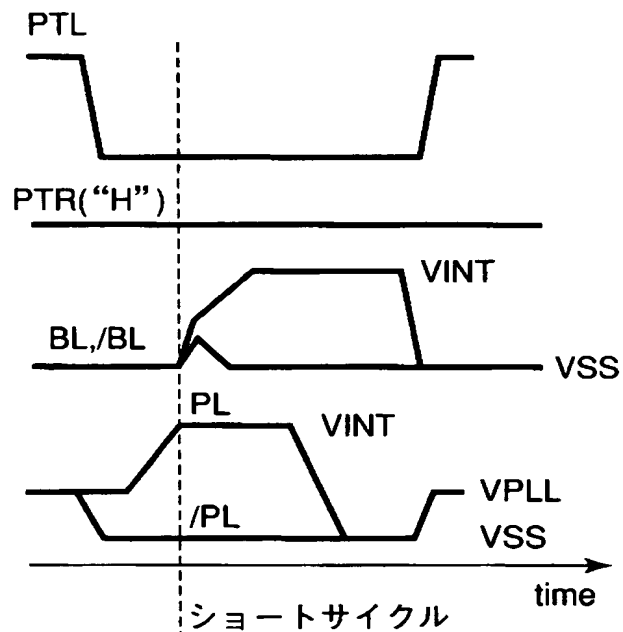
【図 13】



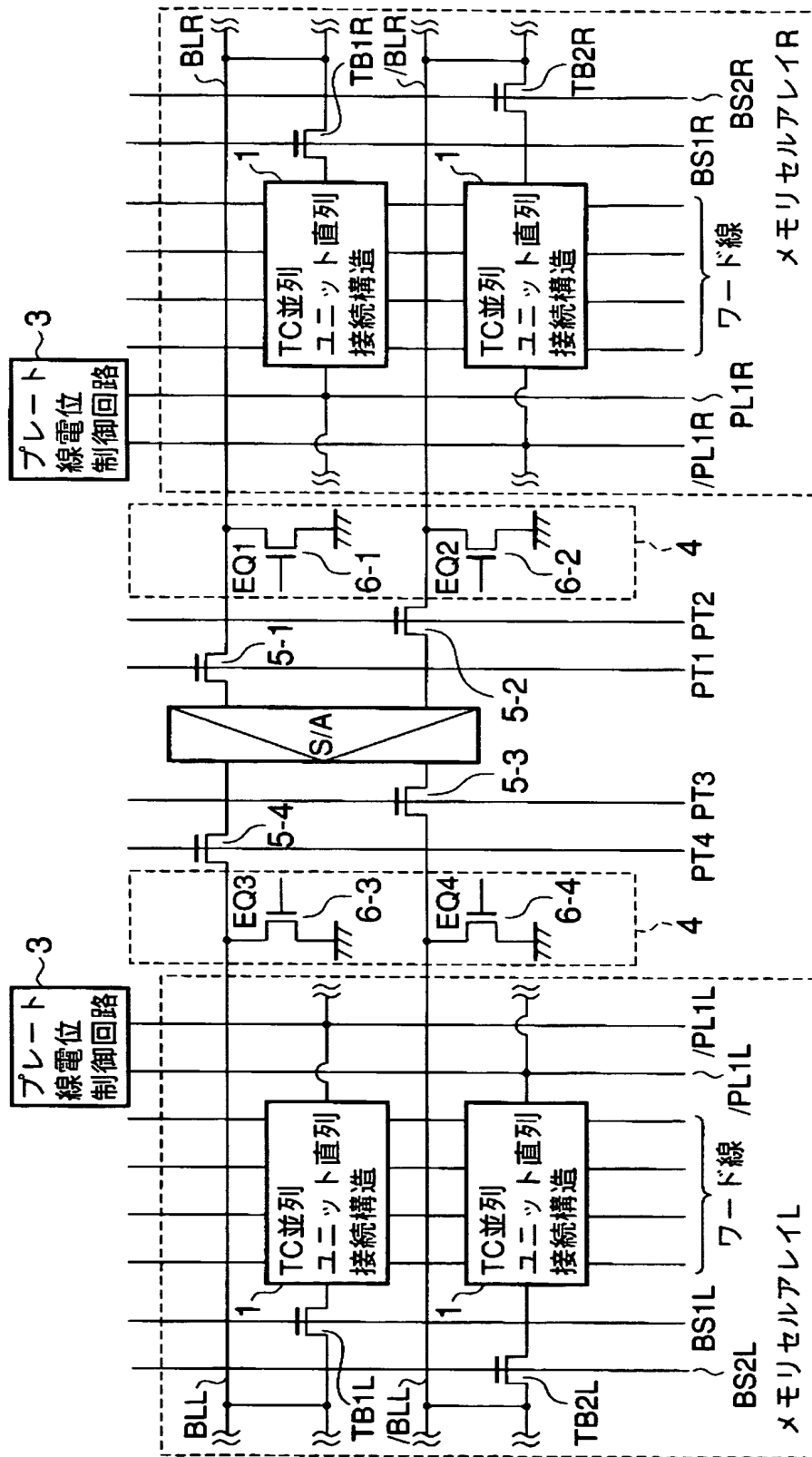
【図 14】



【図 15】

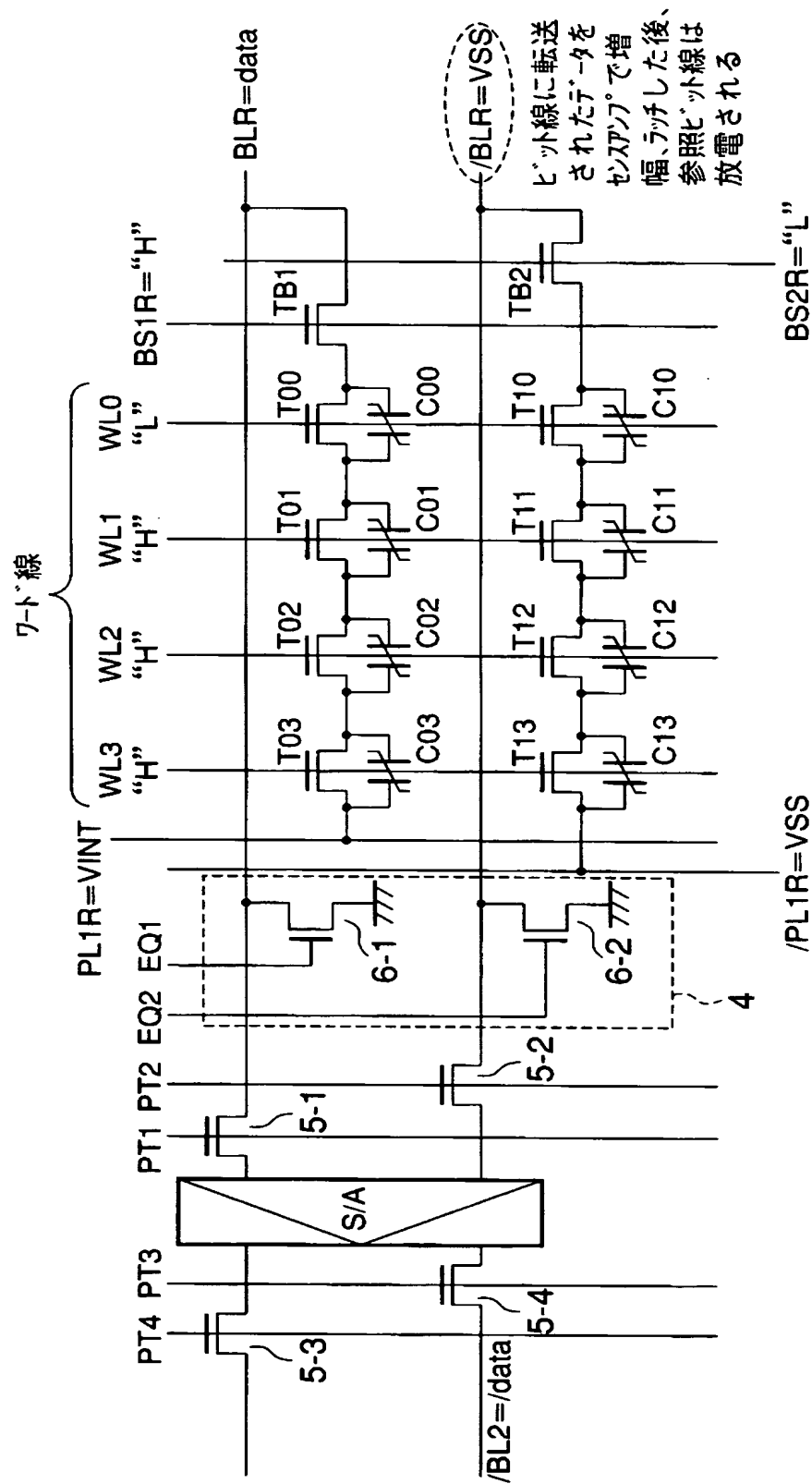


【図16】

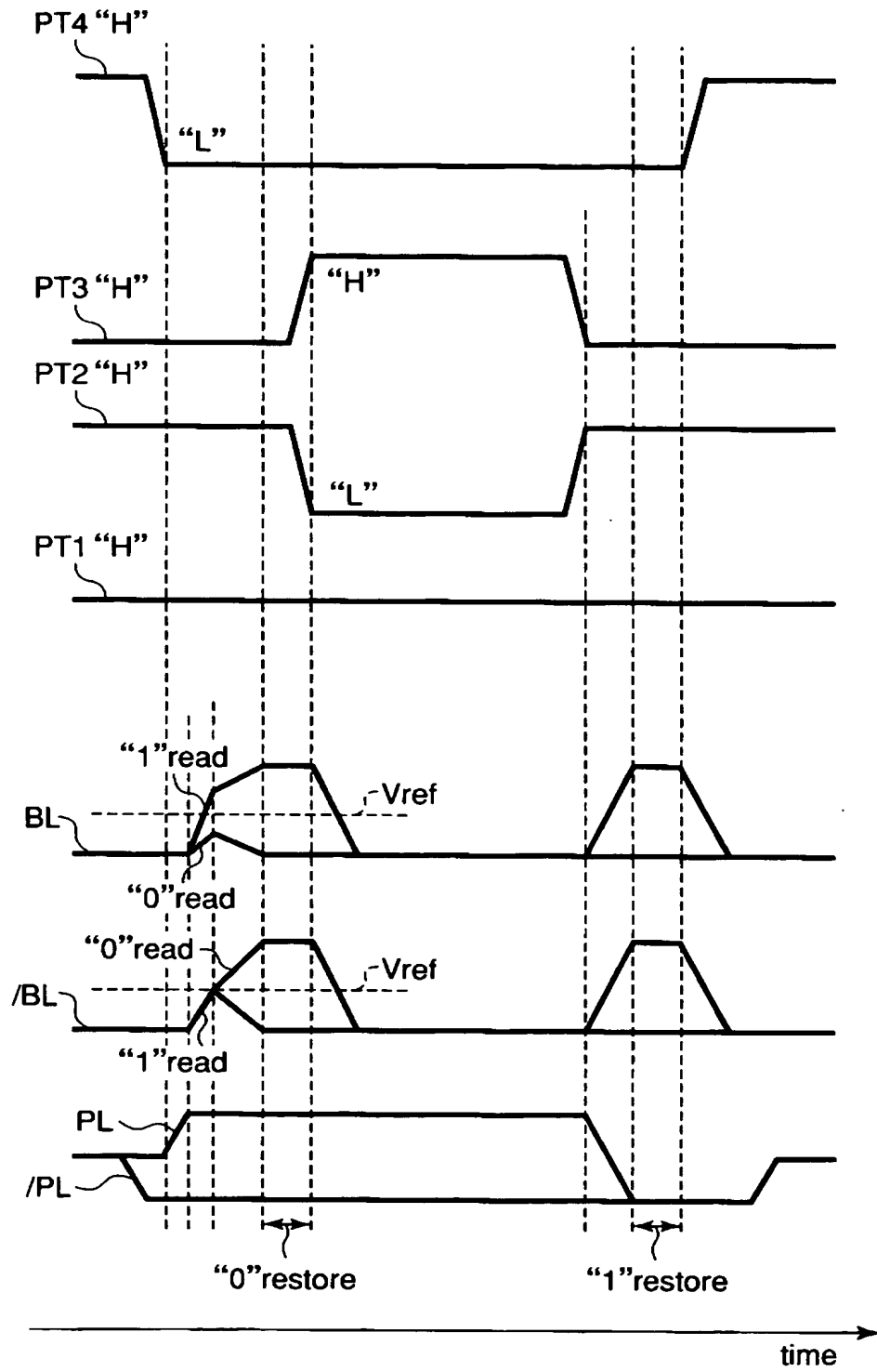




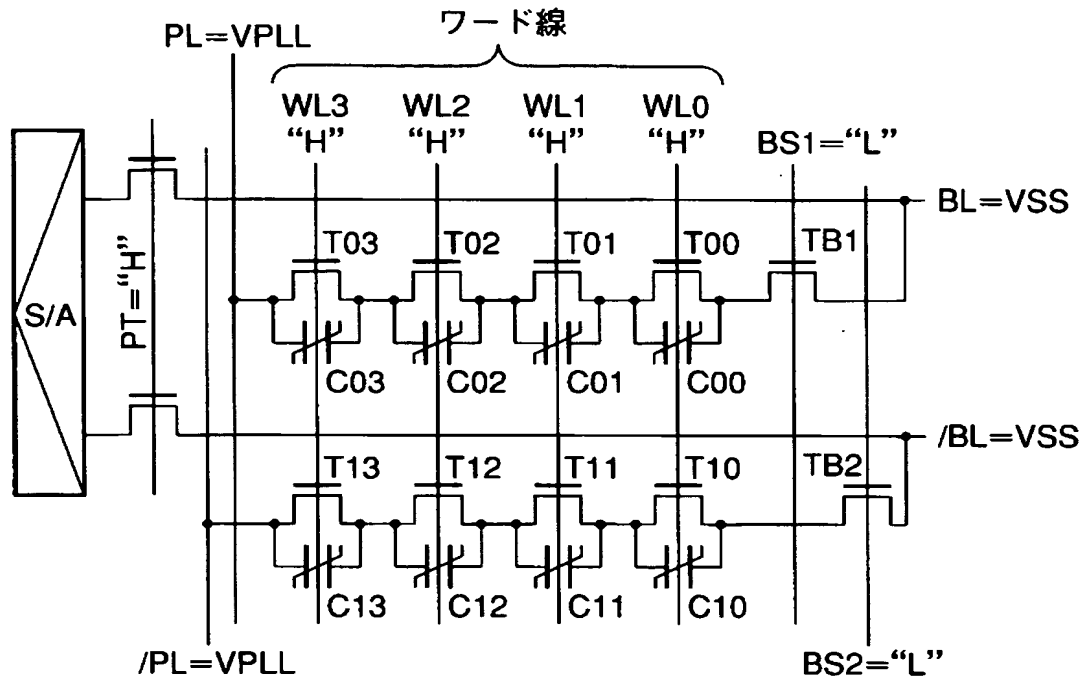
【図 17】



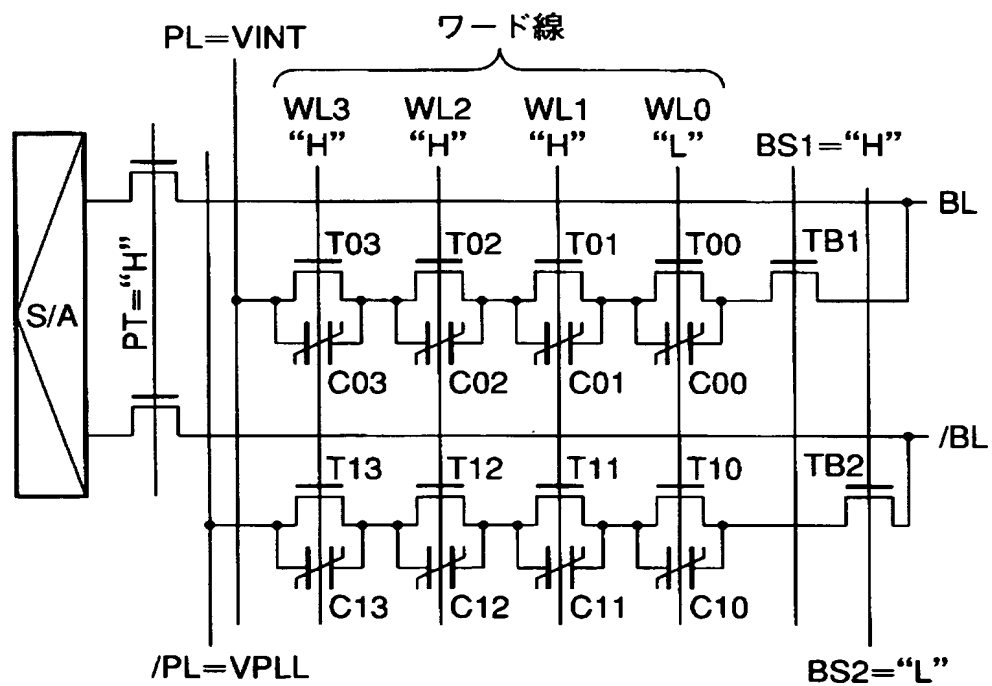
【図 18】



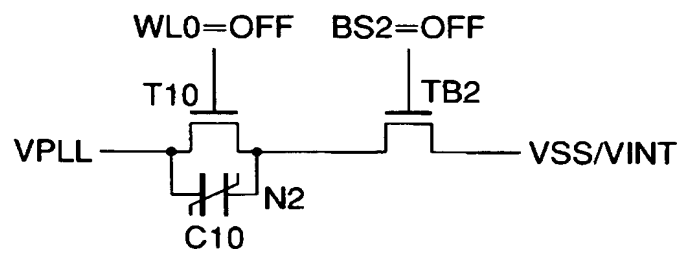
【図 19】



【図 20】



【図 2 1】



## 【書類名】 要約書

## 【要約】

【課題】 長時間チップを活性化させても、データの破壊を抑制できる強誘電体メモリを有した半導体集積回路装置を提供すること。

【解決手段】 一方の端子を、第1選択トランジスタ(TB1)を介して第1ビット線(BL)に接続し、他方の端子を第1プレート線(PL)に接続した第1TC並列ユニット直列接続構造(1)と、一方の端子を、第2選択トランジスタ(TB2)を介して第2ビット線(/BL)に接続し、他方の端子を第2プレート線(/PL)に接続した第2TC並列ユニット直列接続構造(1)とを具備する。プレート線電位制御回路(3)は、待機状態において、第1、第2プレート線(PL, /PL)の電位を第1電位に制御し、活性状態において、一方を第2電位に制御し、他方を第3電位に制御する。ビット線制御回路(4)は、活性状態において、選択された第1ビット線(PL)に電荷が転送された後、第2ビット線(/PL)の電位を第3電位に制御する。

【選択図】 図1

特願 2 0 0 3 - 3 2 1 1 3 0

出 願 人 履 歴 情 報

識別番号

[ 0 0 0 0 0 3 0 7 8 ]

1. 変更年月日

2 0 0 1 年 7 月 2 日

[変更理由]

住所変更

住 所

東京都港区芝浦一丁目 1 番 1 号

氏 名

株式会社東芝